

23388  
1.2069 PCT

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
6. November 2003 (06.11.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 03/092058 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/205**

32B, 51467 Bergisch Gladbach (DE). ZHAO, Quing-Tai  
[CN/DE]; Gerberstrasse 2, 52428 Jülich (DE).

(21) Internationales Aktenzeichen: **PCT/DE03/01315**

(74) Gemeinsamer Vertreter: **FORSCHUNGSZENTRUM  
JÜLICH GMBH**; Fachbereich Patente, 52425 Jülich  
(DE).

(22) Internationales Anmeldedatum:  
22. April 2003 (22.04.2003)

(81) Bestimmungsstaaten (national): CA, CN, JP, SG, US.

(25) Einreichungssprache: **Deutsch**

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,  
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Veröffentlichungssprache: **Deutsch**

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme  
von US): **FORSCHUNGSZENTRUM JÜLICH GMBH**  
[DE/DE]; Whihelm-Johnen-Strasse, 52425 Jülich (DE).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **MANTL, Siegfried**  
[AT/DE]; Tilgenkampstrasse 17, 52428 Jülich (DE). **HOL-  
LÄNDER, Bernhard** [DE/DE]; Hopperscheider Busch



(54) **Title:** METHOD FOR PRODUCING ONE OR MORE MONOCRYSTALLINE LAYERS, EACH WITH A DIFFERENT LAT-  
TICE STRUCTURE, ON ONE PLANE OF A SERIES OF LAYERS

(54) **Bezeichnung:** VERFAHREN ZUR HERSTELLUNG EINER ODER MEHRERER EINKRISTALLINER SCHICHTEN MIT  
JEWELLS UNTERSCHIEDLICHER GITTERSTRUKTUR IN EINER EBENE EINER SCHICHTENFOLGE

(57) **Abstract:** The invention relates to a method for producing one or more monocrystalline layers, each with a different lattice structure, on one plane, for an electronic component, in order to produce a system on a chip. The invention also relates to a component containing one or more layers of this type, such as MOSFETs, MODFETs, resonant tunnel diodes and/or photodetectors.

**WO 03/092058 A2**

(57) **Zusammenfassung:** Die Erfindung betrifft ein Verfahren zur Herstellung einer oder mehrerer einkristalliner Schichten mit jeweils unterschiedlicher Gitterstruktur in einer Ebene für ein elektronisches Bauelement zur Herstellung eines System an a chip. Des weiteren betrifft die Erfindung ein eine oder mehrere solcher Schichten enthaltende Bauelemente, wie MOSFETs, MODFETs, resonante Tunneldioden und / oder Photodetektoren.

## B e s c h r e i b u n g

## Verfahren zur Herstellung einer oder mehrerer einkristalliner Schichten mit jeweils unterschiedlicher Gitterstruktur in einer Ebene einer Schichtenfolge

---

Die Erfindung betrifft ein Verfahren zur Herstellung einer oder mehrerer einkristalliner Schichten mit jeweils unterschiedlicher Gitterstruktur in einer Ebene einer Schichtenfolge gemäß dem Oberbegriff des Anspruchs 1. Des Weiteren betrifft die Erfindung ein Bauelement gemäß Nebenanspruch.

Häufig wird die Herstellung einkristalliner Schichten durch das zur Verfügung stehende Substratmaterial stark begrenzt, bzw. die Qualität der Schichten vermindert. Unterschiedliche Kristallstrukturen, sowie unterschiedliche Gitterparameter zwischen Substrat und Schichtmaterial (Gitterfehlanpassung) verhindern in der Regel ein einkristallines Wachstum von Schichten hoher Qualität. Ein für mikroelektronische Anwendungen besonders wichtiges Beispiel sind Silizium-Germanium-(SiGe)-  
5 Legierungen auf Silizium (Si). Werden bei nicht angepaßten Gitterparametern einkristalline Schichten abgeschieden, so hat dies zur Folge, daß diese anfangs mechanisch verspannt aufgewachsen werden, d.h. deren Gitterstruktur unterscheidet sich in diesem Zustand von der eigenen. Überschreitet die abgeschiedene Schicht einen bestimmten Verspannungsgrad, so wird die mechanische Spannung durch Versetzungsbildung abgebaut und die  
10  
15

Gitterstruktur kommt der eigenen näher. Diesen Prozeß nennt man Spannungsrelaxation, im folgenden „Relaxation“ genannt.

Bei Schichtdicken, die für Bauelemente häufig erforderlich sind, werden durch diese Relaxation Versetzungen an der Grenzfläche zwischen der gebildeten Schicht und dem Substrat eingebaut, wobei aber auch nachteilig viele Versetzungen, von der Grenzfläche bis zur Schichtoberfläche verlaufen (sog. Threading-Versetzung). Da sich die meisten dieser Versetzungen weiter durch neu aufgewachsene Schichten hindurch fortsetzen, verschlechtern sie die elektrischen und optischen Eigenschaften des Schichtmaterials erheblich.

Die rasch fortschreitende Informationstechnologie erfordert stetig schnellere Transistoren, insbesondere metal oxide field effect transistor (MOSFETs). Eine Leistungssteigerung wird in der Regel durch Verkleinerung der Transistordimensionen erzielt. Dies ist aber sehr aufwendig und teuer, da die Schlüsseltechnologien der Chip-Herstellung, wie die Lithographieverfahren und die Ätzverfahren durch leistungsfähigere Systeme ersetzt werden müssen. Ein alternativer Weg, ist die Verbesserung der Eigenschaften der verwendeten Materialien. Hier bietet sich insbesondere der Einsatz von verspanntem Silizium und verspanntem Siliziumgermanium (SiGe) an.

Die Verwendung von Silizium bzw. Siliziumgermanium (Si-Ge) in einem bestimmten elastischen Verzerrungszustand verbessert die Materialeigenschaften, insbesondere die

für Bauelemente eminent wichtige Ladungsträgerbeweglichkeit der Elektronen und Löcher. Der Einsatz dieser und anderer höherwertigen Materialien erlaubt eine erhebliche Performancesteigerung von Si basierenden Hochleistungsbauelementen, wie MOSFET und MODFETs, ohne die kritischen Strukturgrößen der Bauelemente verändern zu müssen.

Da das Siliziumgermanium- (SiGe)-Materialsystem thermodynamisch ein völlig mischbares System ist kann die Verbindung in beliebiger Konzentration hergestellt werden. Silizium und Germanium zeichnen sich zwar durch gleiche Kristallstruktur aus, unterscheiden sich aber im Gitterparameter um 4,2%, d.h. daß eine SiGe-Schicht oder eine reine Ge-Schicht auf Silizium verspannt aufwächst.

Stand der Technik zur Herstellung von beispielsweise verspannungsfreien, qualitativ hochwertigen Siliziumgermanium- (SiGe)-Legierungsschichten auf Silizium-Substrat ist der Einsatz sog. „graded layer“. Hierbei handelt es sich um SiGe-Schichten, deren Ge-Konzentration zur Oberfläche hin bis zur Erreichung des gewünschten Ge-Gehalts kontinuierlich oder stufenweise zunimmt. Da zur Einhaltung der Schichtqualität nur ein Anstieg des Ge-Gehalts von ca. 10 Atomprozent pro  $\mu\text{m}$  eingesetzt werden kann, sind solche Schichten, je nach erreichter Germaniumkonzentration bis zu 10 Mikrometer dick. Für das Schichtwachstum ist dies aus wirtschaftlicher und technologischer Sicht nicht befriedigend. Das Schichtwachstum dieser „graded layer“ wird in E.A.Fitzgerald et al., Thin Solid Films, 294 (1997) 3,

beschrieben. Zudem führt dieses Verfahren häufig zu hohen Schichtrauhigkeiten und unvollständiger Relaxation.

Aus DE19802977 ist ein Verfahren bekannt, das die Herstellung einer spannungsrelaxierten Oberflächenschicht mit guter Qualität erlaubt. Wird das Verfahren auf Si-Ge angewandt, kann damit eine dünne spannungsrelaxierte SiGe-Pufferschicht hergestellt werden, auf der durch epitaktische Abscheidung eine verspannte Si-Schicht erzeugt werden kann. Diese elastisch verspannten Siliziumschichten zeigen im Vergleich zu normalem Silizium eine erhöhte Elektronenbeweglichkeit. Dadurch sind sie für die Herstellung von n-Kanal-MOSFETs und n-Kanal-MODFET sehr interessant.

Um eine wesentlich verbesserte Löcherbeweglichkeit für p-Kanal Bauelemente zu erzielen, ist aber der gleichzeitige Einsatz von verspanntem SiGe bzw. Ge erforderlich. In DE19802977 wird vorgeschlagen, auf einer sehr dicken, graduierten, spannungsrelaxierten Si-Ge-Schicht eine weitere dünne verspannte Si-Ge -Schicht mit höherer Ge-Konzentration, sowie eine dünne verspannte Si abzuscheiden. Dadurch steht im Prinzip verspanntes Si und verspanntes Siliziumgermanium (SiGe) für n- und p-Kanal-Prozessierung zur Verfügung.

Nachteilig müssen mindestens 3 Schichten übereinander verwendet werden wodurch die gesamte Bauelementetechnologie erschwert wird. In dem komplizierten Heterosystem bilden sich parallel zu dem erwünschten Kanal parasitäre Leitfähigkeitskanäle aus, wodurch die Qualität der Bauelemente vermindert wird. Durch die Vielzahl der Schichten, insbesondere durch die sehr dicke, gradier-

te, spannungsrelaxierte Siliziumgermanium- (SiGe)-Schicht nimmt die Gesamtschichtdicke zu, so daß das Wärmeleitvermögen reduziert wird. Weiterhin ist durch die dicke, gradierte, spannungsrelaxierten Siliziumgermanium- (SiGe)-Schicht keine Planarität zwischen Si-Ge Bereich und Substratoberfläche erzielbar.

Aus Leitz et al. (Hole mobility enhancements in strained Si/Si<sub>1-y</sub>Ge<sub>y</sub>p-type metal-oxide-semiconductor field-effect transistors grown on relaxed Si<sub>1-x</sub>Ge<sub>x</sub> (x < y) virtual substrates, 2001. Applied Physics Letters, Vol. 79, 4246-4248) sowie Cheng et al. (Relaxed Silicon-Germanium on insulator (SGOI), 2002. Mat. Res. Soc. Symp., Vol. 686, A1.5.1- A1.5.6) sind Verfahren zur Herstellung von Strukturen mit Waferbonden und Ätzen vorgestellt. Nachteilig sind diese Verfahren teuer und technologisch sehr aufwendig, da viele sehr anspruchsvolle Prozeßschritte umfaßt sind. Die in beiden Druckschriften beschriebenen Verfahren sind insbesondere bei großen Wafern (300 mm und größer) besonders schwierig anwendbar, da über eine sehr große Fläche die Schichtdicken und die Planarität des Wafers erhalten bleiben soll. Auch eine Verbiegung des Wafers, durch das Bonden erzeugter Spannungen, muß vermieden werden.

Aufgabe der Erfindung ist es ein Verfahren zur Herstellung einer oder mehrerer einkristalliner Schichten mit jeweils unterschiedlicher Gitterstruktur in einer Ebene bereit zu stellen, das die im Stand der Technik aufgezeigten Mängel nicht aufweist. Insbesondere sollen verschiedene Bereiche, mit beispielsweise verspanntem und unverspanntem Silizium, verspanntem und unverspanntem

Siliziumgermanium (SiGe) oder anderen geeigneten Materialien mit jeweils unterschiedlicher Gitterstruktur in gleicher Ebene hergestellt werden und, unter Gewährleistung der Planarität für die weitere Prozesierung, beispielweise für die Herstellung eines "system on a chip", einsetzbar sein.

Die Aufgabe wird durch ein Verfahren gemäß Hauptanspruch und durch ein Bauelement gemäß Nebenanspruch gelöst. Vorteilhafte Ausgestaltungen ergeben sich aus den darauf jeweils rückbezogenen Patentansprüchen.

Hierzu geht man von einer Schichtenfolge mit einem Substrat aus, in dessen Tiefe Isolationsbereiche vorliegen. In dem Substrat liegt nahe der Oberfläche partiell mindestens ein Defektbereich vor. Auf dem Substrat ist weiterhin zumindest partiell eine erste epitaktische Schicht angeordnet.

Diese Schichtenfolge wird so behandelt, daß nur der Bereich der ersten epitaktischen Schicht oberhalb des Defektbereichs spannungsrelaxiert, wohingegen die übrigen Bereiche dieser Schicht ihren Verspannungszustand beibehalten.

Dadurch erhält man unmittelbar mindestens eine erste epitaktische Schicht mit unterschiedlichem Verspannungszustand und damit unterschiedlicher Gitterstruktur in einer Ebene auf einem Substrat mit ebenfalls einer bestimmten Gitterstruktur.

Mit unterschiedlicher Gitterstruktur werden hier Materialien mit verschiedenen Gitterparametern oder verschiedenen Kristallstrukturen verstanden.

Die genannte Ausgangs-Schichtenfolge aus Substrat, Isolationsbereichen, Defektbereich und erster epitaktischer Schicht ist auf verschiedene Weise erhältlich. Es kann beispielsweise auf einem Substrat epitaktisch eine 5 erste Schicht abgeschieden werden, sodann Isolationsbereiche in der Tiefe dieser Schichtenfolge hergestellt werden, und partiell ein Defektbereich unterhalb der Grenzfläche der abgeschiedenen Schicht erzeugt werden. An diese Reihenfolge der Prozessierung ist man allerdings nicht gebunden. Die Herstellung der Ausgangs-Schichtenfolge kann variiert werden, beispielsweise indem man den Defektbereich vor oder nach Abscheidung der 10 ersten epitaktischen Schicht auf dem Substrat herstellt. Es ist weiterhin möglich auf einem Substrat eine 15 laterale epitaktische Überwachung von Isolationsbereichen mit geeigneten Materialien durchzuführen. Es sei erwähnt, daß weitere Schichten vorgesehen sein können, beispielsweise eine in der Praxis vorliegende dünne Übergangsschicht zwischen Substrat und erster 20 epitaktischer Schicht aus dem gleichen Material wie das Substrat.

Ein großer Vorteil des Verfahrens ist, daß mit ganzflächigen Schichten bzw. Schichtsystemen begonnen werden kann und je nach Layout der mikroelektronischen Anwendungen, durch die ortsselektive Herstellung des Defektbereichs die Spannungsrelaxation nur an gewünschten 25 Stellen eines großflächigen Wafers durchgeführt werden kann. Dies sind vorteilhaft ideale Bedingungen zur Realisierung eines "system on a chip", d. h. es werden 30 dann aktive und passive Bauelemente (Transistoren un-

terschiedlicher Art, Spulen, Kondensatoren etc.) in einer Ebene hergestellt.

Die Defektbereiche können durch Ionenimplantation mit vorzugsweise leichten Ionen, z. B. Helium (Defekt-  
5 Implantation) in der Art erfolgen, daß die Ionen primär unterhalb der ersten epitaktischen Schicht vorliegen. Die Schichtenfolge wird thermisch so behandelt, bzw. das thermische Budget so klein gehalten, daß oberhalb der implantierten Bereiche des Substrats die erste epitaktische Schicht spannungsrelaxiert und oberhalb nicht implantierter Bereiche des Substrats die erste epitaktische Schicht ihren Verspannungszustand beibehält. Es entstehen Blasen bzw. Hohlräume, die durch die Implantation, z. B. mit Helium und anschließendem Tempern erzeugt wurden, wodurch Versetzungen aus dem Defektbereich zur ersten epitaktischen Schicht laufen. Diese Versetzungen bewirken eine lokale Relaxation der ersten epitaktischen Schicht oberhalb des Defektbereichs. Es entsteht lokal begrenzt, eine dünne spannungsrelaxierte epitaktische Schicht mit geringen Kristallbaufehlern neben einer verspannten Schicht des gleichen Materials, die durch die Isolationsbereiche voneinander getrennt sind.  
10  
15  
20

Die Relaxation kann auch durch eine Oxidation mit O<sub>2</sub> oder Wasser ausgelöst werden. Anstelle einer rein thermischen Behandlung zur Bildung verspannter und relaxierter Bereiche kann demnach eine Oxidation als Behandlung, oder auch eine Kombination von Oxidation und thermischer Behandlung ganzflächig oder mittels einer temperaturbeständigen Oxidationsbarrierenschicht, z. B.  
25  
30

mittels einer  $\text{Si}_3\text{N}_4$ -Maske, eingesetzt werden. Hierdurch  
läßt sich auch lokal die Konzentration von Elementen,  
die für die Funktionsweise des Bauelements wichtig  
sind, innerhalb der ersten epitaktischen Schicht (z. B.  
5 Siliziumgermanium (SiGe)) erhöhen. Die bei der Span-  
nungsrelaxation in den implantierten Bereichen entste-  
henden Versetzungen werden an einer Ausbreitung durch  
die Isolationsbereiche (z. B. STI oder LOCOS) lateral  
blockiert. Das Gleiten der Versetzungen nach oben ist  
10 für die Schichtrelaxation erforderlich und erfolgt da-  
her nur an den Stellen, wo eine Relaxation erwünscht  
ist.

Das Verfahren nutzt Prozeßschritte, die in der Silizi-  
um-Technologie etabliert sind, so daß die Technologie  
15 auch auf sehr große Wafer (z. B. 300 mm Si-Wafer) über-  
tragen werden kann, was z. B. mit Waferbonden, wie aus  
dem Stand der Technik bekannt, sehr schwierig ist.

Im Anschluß hieran kann erfindungsgemäß mindestens eine  
weitere epitaktische Schicht auf dieser Schichtenfolge  
20 ganzflächig oder lokal begrenzt abgeschieden werden,  
sowie die erste epitaktische Schicht partiell von der  
Oberfläche entfernt werden.

Hierdurch erhält man unmittelbar eine Schichtenfolge  
aus zwei Materialien mit relaxiertem und verspanntem  
25 Zustand "in einer Ebene". Die zuerst abgeschiedene epi-  
taktische Schicht liegt, wie bereits erwähnt, in beiden  
Verspannungszuständen in einer Ebene vor, und zwar ab-  
hängig davon wo der Defektbereich erzeugt wurde. Das  
Substrat unterhalb der ersten epitaktischen Schicht  
30 liegt in relaxiertem Zustand vor. Das Material der

zweiten abgeschiedenen Schicht auf der ersten epitaktischen Schicht liegt wiederum in verspanntem Zustand vor. Die abgeschiedene weitere Schicht kann aus dem gleichen Material sein wie das Substrat. Die abgeschiedene weitere Schicht kann auch aus dem gleichen Material sein wie die erste epitaktische Schicht, vorausgesetzt ein Bestandteil dieser Schicht weist eine andere Konzentration auf als in der ersten epitaktischen Schicht darunter. Da die erste epitaktische Schicht sehr dünn ist, z. B. kleiner als 50 Nanometer, ist gewährleistet, daß eine ausgezeichnete thermische Leitfähigkeit innerhalb der gesamten Schichtenfolge erhalten wird. Hierdurch ist beispielsweise die Bildung eines "system on a chip" möglich. Die Schichtenfolge aus erster epitaktischer Schicht und darauf abgeschiedener zweiter Schicht stellt auf Grund der Dünne der Schichten eine einzige Schicht in nahezu einer Ebene mit jeweils unterschiedlicher Gitterstruktur dar. Mit dem Begriff "in einer Ebene" ist demgemäß gemeint, daß die Höhe der durch Abscheidung oder Ätzung entstehenden Stufen bis zur Oberfläche des Substrats nicht größer sind als der Bereich der Tiefenschärfe der Abbildungs-optik der Lithographie. Dann ist gewährleistet, daß im Zuge weiterer Verfahrensschritte die Planarität innerhalb der Schichtenfolge ausreichend ist. Die Schichtenfolge aus erster epitaktischer Schicht und gegebenenfalls weiterer abgeschiedener Schicht weist z. B. eine Dicke von ca. 100 bis 200 Nanometer auf oder ist sogar noch dünner. Die Herstellung eines "system on a chip" (verschiedene Bauelemente mit verschiedenen Funktionen in einer Ebene) ist möglich. Hierzu können zunächst das Gate-Dielektrikum (z. B.  $\text{SiO}_2$ ), Source und Drain-

Kontakt, der Gate-Kontakt, und gegebenenfalls Spacer sowie darunter liegende anders dotierte Kanal-, Source- und Drain-Bereiche gefertigt und in einer Passivierungsschicht bzw. Isolatorschicht eingebettet werden.

5 Dabei ist man nicht an bestimmte Transistortypen oder Bauteile gebunden.

Als leichtes Ion kann im Falle einer Ionenimplantation zur Herstellung des Defektbereiches insbesondere Helium gewählt werden. Es ist aber genauso gut möglich Wasserstoff, oder ein anderes Element z. B. aus der Gruppe der Edelgase, beispielsweise Argon auszuwählen. Diese Art von Ionen gewährleistet, daß unterhalb der Grenzfläche die gewünschten Versetzungen gebildet werden, ohne die epitaktische Schicht nachhaltig zu schädigen.

10

15 Es kann zudem eine weitere Implantation zur Bildung von Nukleationskeimen vorgesehen sein. Um die Dosis der zur Defekterzeugung implantierten  $\text{He}^+$ - oder  $\text{H}^+$ -Ionen zu reduzieren, kann eine weitere Implantation z. B. mit Silizium oder Germanium vorgeschaltet werden. Dadurch werden Nukleationskeime für die bei der Helium- oder Wasserstoff-Implantation entstehenden Bläschen gebildet, die deren Bildung begünstigen. Diese Vorgehensweise kann auch dann von Vorteil sein, wenn das Silizium auf einem SOI-Substrat unterhalb einer SiGe-Schicht so dünn ist, daß z. B. mit einer Helium-Implantation keine Bläschenbildung auf Grund der breiten Tiefenverteilung der implantierten He-Ionen erzeugt werden kann. Die höhere Masse von Silizium oder Germanium ermöglicht eine bessere Lokalisierung in der Tiefe. Die Bläschenbildung

20

25

erfolgt dann bevorzugt an den mit der Silizium- bzw. Germanium-Implantation erzeugten Defekte.

Es kann auch eine weitere Wannen-Implantationen für die Bauelementherstellung vorgesehen sein.

5 Für die Herstellung von CMOS-Bauelementen (für komplementäre Logik) sind p- und n-dotierte Bereiche erforderlich, die mit Ionenimplantation, meist mit Bor, Arsen oder Phosphor, erzeugt werden. Diese sogenannten Wannenimplantationen, oder auch Retrograde-Well-  
10 Implantationen genannt, können vorteilhaft mit der selben Maske durchgeführt werden, die bereits für die Herstellung des Defektbereichs verwendet wurde. Zusätzlich können Implantationen zur Einstellung der Schwellspannung von MOSFETs mit dieser Maske durchgeführt werden.  
15 Dies verringert den Zeit- und Kostenaufwand zur Herstellung der Bauelemente.

Nach oder während der Fertigstellung der Bauelemente, z. B. Transistoren, kann an ausgewählten Isolationsbereichen (aus z.B. STI, deep trench, oder LOCOS) ein  
20 Trench an zumindest einer Seite eines Isolationsbereichs zumindest bis zur ersten epitaktischen Schicht geätzt werden. Die erste epitaktische Schicht (z. B. aus Siliziumgermanium (SiGe)) wird unter Ausnutzung von Masken z. B. durch Unterätzen selektiv entfernt wodurch  
25 vertikal und gegebenenfalls auch lateral ein Ätzgraben entsteht. Das verbleibende Material der Isolationsbereiche dient während der Unterätzung als selbstjustierender, lateraler Ätzstop. Bei Auswahl geeigneter Materialien erhält man vorteilhaft eine Schichtenfolge, die  
30 einem silicon on nothing (SON) entspricht. Das Verfah-

ren ist für die Herstellung einer solchen Struktur besonders vorteilhaft geeignet.

Der entstandene Ätzgraben kann allerdings auch mit einem Isolator, z. B.  $\text{SiO}_2$ , aufgefüllt werden. Dann erhält man vorteilhaft eine Schichtenfolge, die einem silicon on insulator (SOI) bzw. einem Siliziumgermanium (SiGe) on insulator entspricht. Das Verfahren ist für die Herstellung einer solchen Struktur ebenfalls besonders geeignet.

Das Verfahren bietet in einer weiteren, besonders vorteilhaften Ausgestaltung der Erfindung das Potential zur weiteren Reduktion der Versetzungsichte in der relaxierten und der verspannten Schicht.

Dies kann durch Ätzen der Gräben in den Schichten mit Mikrometer-Abständen beispielsweise von 1 bis 100 Mikrometer oder vorteilhafter, durch Ätzgräben, die an die Bauelementstrukturen angepasst sind, und nachfolgendes Temperiern bei Temperaturen über  $500^\circ\text{C}$  erzielt werden. Fadenversetzungen in der Schicht gleiten dabei an den Rand dieser Bereiche und werden so ausgeheilt.

#### Ausführungsbeispiele:

Im weiteren wird die Erfindung an Hand einiger Ausführungsbeispiele und der beigefügten Figuren näher beschrieben.

Figur 1 zeigt die Herstellung zweier einkristalliner Schichten mit jeweils unterschiedlicher Gitterstruktur in einer Ebene. Auf einem Silizium-Substrat 1 wird epi-

taktisch eine Siliziumgermanium- (SiGe) -Schicht 2 abgeschieden (Figur 1a). Es kann eine dünne Übergangsschicht aus Silizium zwischen beiden Schichten vorgesehen sein.

5 Sodann werden STI-Isolationsbereiche 3 in der Tiefe dieser Schichtenfolge hergestellt. In Figur 1b ist nur der Rechte von insgesamt vier Isolationsbereichen 3 mit einem Pfeil markiert. Die vier Isolationsbereiche 3 dienen im weiteren Verfahren bei Unterätzungsprozessen 10 als selbstjustierende laterale Ätzstops. Man ist an diese Reihenfolge der Prozessierung nicht gebunden. Man kann genauso gut bereits von einem gewerblich erhältlichen Substrat mit festgelegten Isolationsbereichen 3 ausgehen. In einem solchen Substrat 1 kann ein Defektbereich 15 z. B. durch Ionenimplantation oder Abscheidung erzeugt werden und sodann die Siliziumgermanium- (SiGe) -Schicht 2 abgeschieden werden.

Nach Aufbringen einer Maske 4 erfolgt eine Helium-Implantation beispielsweise mit einer Energie von ca. 20 18 keV und einer Dosis von  $2 \times 10^{16} \text{ cm}^{-2}$  bei 100 nm Schichtdicke der Siliziumgermanium- (SiGe) -Schicht 2. Die Maske wird vor der Temperung in der Regel entfernt. Die implantierten Ionen erzeugen primär unterhalb der Siliziumgermanium- (SiGe) -Schicht einen Defektbereich 25 5.

Anschließend erfolgt eine Temperung als thermische Behandlung bei 850 °C für 10 Minuten in einer inerten N<sub>2</sub>-Atmosphäre. Es kann auch ein anderes z. B. inertes Gas (z.B. Argon) oder ein Gas, das für die Zwecke der Erfindung geeignet ist, verwendet werden (z. B. O<sub>2</sub>). Über dem Defektbereich 5 entsteht bei diesem Temperaturregime, das nicht zu hoch gewählt sein darf, eine span-

nungsrelaxierte Siliziumgermanium (SiGe)-Schicht 6. In den Bereichen in denen die Schichtenfolge durch Maske 4 maskiert war, liegt nach der Temperaturbehandlung verspanntes Siliziumgermanium (SiGe) 2 vor (Fig. 1d). Teile der vorab unmaskierten Siliziumgermanium- (SiGe)-Schicht werden z. B. durch Ätzung entfernt (Fig. 1d: siehe entfernter rechter Teil der Schicht 2)). Dort liegt dann unverspanntes, d.h. relaxiertes Silizium 1 an der Oberfläche der Schichtenfolge vor.

Wird das Siliziumgermanium (SiGe) 2 von Anfang an in Figur 1b nur partiell auf dem Substrat 1 abgeschieden, so liegt an den nicht mit Siliziumgermanium (SiGe) abgeschiedenen Bereichen ebenfalls unverspanntes Silizium 1 als Substrat an der Oberfläche der Schichtenfolge vor. Dadurch, daß nur eine sehr dünne Schicht der zuerst abgeschiedenen Schicht 2 (Siliziumgermanium (SiGe)) aufgebracht wurde, liegen neben verspanntem und relaxiertem Siliziumgermanium (SiGe) 2, 6 auch unverspanntes Silizium 1 "in einer Ebene" vor.

Im Sinne der Erfindung bedeutet "eine Ebene", daß eine ausreichende Planarität der verschiedenen Schichten 1, 2, 6 für die anschließenden Verfahrensschritte, z. B. für die Lithographie, vorliegt, sowie die thermische Leitfähigkeit zum Substrat 1 gewährleistet ist. Erfindungsgemäße Schichtenfolgen auf dem Substrat 1 können wie im ersten Ausführungsbeispiel eine Dicke von ca. 100 bis 200 Nanometer oder weniger aufweisen um diese Anforderungen zu erfüllen.

Es kann, zumindest partiell, eine weitere Schicht 7 epitaktisch auf der relaxierten Siliziumgermanium-

(SiGe)-Schicht 6 aufgebracht werden (Fig. 1d). Diese weitere abgeschiedene Schicht 7 ist dann verspannt. Sie kann z. B. aus Silizium, oder auch aus Siliziumgermanium (SiGe) mit anderer Germaniumkonzentration als in der ersten epitaktischen Schicht 6 darunter, oder auch aus einer Vielfachschicht bestehen. Im Falle von Silizium, liegt verspanntes Silizium 7 und unverspanntes Silizium 1 "in einer Ebene" vor. Das verspannte Silizium 7 liegt zwar formal oberhalb der relaxierten Siliziumgermanium-(SiGe)-Schicht 6, welche wiederum neben der verspannten Siliziumgermanium-(SiGe)-Schicht 2 liegt. Durch die Dünne der Schichten 2 und 6 ist jedoch die Planarität der verschiedenen Bereiche der Schichten 1, 2, 6 und 7 sowie die thermische Leitfähigkeit zum Substrat 1 gewährleistet.

Schicht 1 aus Fig. 1d (unverspanntes Si) kann zur Herstellung konventioneller Si-Bauelemente, wie MOSFETs verwendet werden.

Schicht 7 aus Fig. 1d (verspanntes Si) kann auf Grund der höheren Beweglichkeiten der Elektronen zur Herstellung von ultraschnellen MOSFETs, insbesondere n-Kanal MOSFETs verwendet werden.

Schicht 2 aus Fig. 1d (verspanntes Siliziumgermanium (SiGe)) kann auf Grund der hohen Beweglichkeit der Löcher vorteilhaft zur Herstellung von ultraschnellen p-Kanal MOSFET verwendet werden.

Schicht 6 aus Fig. 1d (unverspanntes Siliziumgermanium (SiGe)) kann auf Grund der etwas höheren Beweglichkeit der Löcher vorteilhaft zur Herstellung von ultraschnellen p-Kanal MOSFET verwendet werden.

Man kann darüber hinaus auch von anderen Schichtenfolgen und Prozessierungen ausgehen:

5 Beispiel: Auf einem Substrat 1 (z. B. Silizium, Siliziumgermanium (SiGe), Saphir oder geeignete Perovskite) wird eine laterale epitaktische Überwachung mit geeigneten Materialien (z. B. AlN oder Siliziumgermanium (SiGe)) für die Überwachung der Isolationsbereiche durchgeführt.

10 Neben Siliziumgermanium (SiGe) als erste epitaktische Schicht 2 können desweiteren allgemein III-V-Verbindungen, insbesondere III-V-Nitride (GaN, AlN, InN) sowie auch oxidische Perovskite als erste epitaktische Schicht 2 angeordnet sein. Wichtig ist in jedem Fall nur, daß geeignete Materialien auf einem geeigneten 15 Substrat angeordnet werden, so daß mindestens eine Schicht 2, 6 mit unterschiedlicher Gitterstruktur, getrennt durch Isolationsbereiche 3, auf diesem Substrat hergestellt werden kann.

20 Im weiteren werden demgemäß die verschiedenen Bauelemente, z. B. Transistoren in einer Ebene (system on a chip) gefertigt (Fig. 1e) und in eine Passivierungsschicht 14 eingebettet. Die Versetzung der Bauelemente in der Höhe der Fig. 1e dient ausschließlich der besseren Darstellbarkeit der verschiedenen Prozesse. Tatsächlich jedoch sind die Bauelemente als in einer Ebene 25 im Sinne der Erfindung zu verstehen.

Nach der Fertigung der Bauelemente können selektiv bestimmte Isolationsbereiche 3, bzw. Teile davon, durch

Ätzen unter Ausnutzung einer weiteren Maske 4 entfernt werden. Die Ätzung erfolgt zunächst zumindest bis in eine Tiefe zur ersten epitaktischen Schicht 2, bzw. 6, z. B. bis zu deren Unterkante (Fig. 1f). Es entsteht 5 ein zunächst vertikaler Ätzgraben 15. Dann werden die spannungsrelaxierte Siliziumgermanium- (SiGe) -Schicht 6 und/oder die verspannte Siliziumgermanium- (SiGe) -Schicht 2 entfernt.

Schicht 16 in Fig. 1f (z. B. unverspanntes Silizium) 10 entstünde in Fig. 1d bei Abscheidung von Silizium auf dem Siliziumgermanium (SiGe) 2. Diese Schicht ist in Fig. 1d und Fig. 1e nicht gezeigt. Maske 4 in Fig. 1c wäre zur Abscheidung hierzu über dem mittleren Teil der Schicht 2 geöffnet.

15 Durch seitliches Unterätzen der Schichten 7 (z. B. ver- spanntes Silizium) und 16 (z. B. unverspanntes Silizi- um, unverspanntes Siliziumgermanium (SiGe) mit anderer Germaniumkonzentration als in der Schicht 2 darunter) werden die Schichten 2 und 6 entfernt und der Ätzgraben 15 wird horizontal fortgeführt, wobei das STI 3 an den 20 Seiten als selbstjustierender Ätzstop dient (Fig. 1g). Dies hat zur Folge, daß die elektrische Leitfähigkeit zum Substrat 1 unterbunden wird.

25 Die für die Spannungsrelaxation der Siliziumgermanium- (SiGe) -Schicht 2 erforderliche Bildung und Ausbreitung von Versetzungen wird durch die Isolationsbereiche 3 also lateral begrenzt, so daß die relaxierte Silizium- germanium- (SiGe) -Schicht 6 entsteht. Dadurch wird das 30 Ausbreiten von Versetzungen in Nachbarbereiche ausge- schlossen.

Die entstandenen Ätzgräben 15 können weiter mit Isolator-  
schicht 17, z. B. mittels CVD-Abscheidung mit z. B.  
SiO<sub>2</sub> aufgefüllt werden (Fig. 1h). So wird ein Bauele-  
ment mit einer Schichtenfolge bereit gestellt, welches  
5 lokal die Funktion eines silicone on insulator- (SOI)  
Substrates (bzw. Siliziumgermanium (SiGe) on insulator)  
aufweist ohne allerdings diese teureren Substrate zu  
verwenden.

10 In dem Fall, daß der entstandene Ätzgraben 15 in Fig.  
1g nur in der vertikalen mit einer Isolator-  
schicht 17 aufgefüllt wird, wird ein Bauelement mit einer Schich-  
tenfolge bereit gestellt, welches lokal der Funktion  
eines silicon on nothing- (SON) -Substrates entspricht.

15 In Figur 2 sind nur drei in der Tiefe angeordnete Iso-  
lationsbereiche 3 (nur der rechte ist mit einem Pfeil  
markiert) dargestellt.

Figur 2a zeigt, ausgehend von der Schichtenfolge aus  
Fig. 1 c bzw. 1d und unter Ausnutzung von Maskentechno-  
logie (nicht dargestellt) die Aufbringung einer weite-  
ren Schicht unverspannten Siliziums 16' auf der Schicht  
verspannten Siliziumgermaniums (SiGe) 2'. Weiterhin ist  
verspanntes Silizium 7' auf unverspanntem, relaxiertem  
Siliziumgermanium (SiGe) 6' angeordnet. Eine Verstei-  
fungsschicht 18 und hierauf eine Maske 4' werden auf  
20 dieser Schichtenfolge angeordnet (Fig. 2b). Die Ver-  
steigungsschicht 18 dient zur Stabilisierung der  
Schichtenfolge. Maske 4' ist derart angeordnet, daß ein  
Ätzgraben 15' bis zur Unterkante der Schicht 2'  
und/oder 6' geätzt werden kann (Fig. 2c; die Bezugszei-  
chen dieser Schichten sind nicht dargestellt und werden  
25  
30

aus Fig. 2a übernommen). Schichten 2' und/oder 6' werden vollständig durch Ätzen entfernt (Fig. 2d). Die Maske 4' wird entfernt und der Ätzgraben 15' wird vollständig in der vertikalen und in der horizontalen mit einem Isolator 17' aufgefüllt (Fig. 2e). Anschließend wird die Versteifungsschicht 18 sowie darauf aufliegendes Isolatormaterial 17' entfernt. Es entsteht eine Schichtenfolge gemäß Fig. 2f.

10 Danach kann eine Prozessierung der Bauelemente wie in der Figur 1e bis zur Herstellung der Bauelemente, z. B. Transistoren fortgeführt werden.

15 Der Unterschied zur Prozessierung in Figur 1 besteht demgemäß darin, daß die Auffüllung der Ätzgräben 15' mit Isolator 17' in Fig. 2 also vor der Herstellung der Bauelemente (z. B. Transistoren) erfolgt, während gemäß Figur 1 zunächst die verschiedenen Bauelemente hergestellt werden und sodann die Ätzgräben 15 mit Isolator 17 hergestellt werden.

20 Die in Figur 1 dargestellten Bauelemente sind selbstverständlich nur exemplarisch. Es können statt der dargestellten aktiven drei Bauelemente (Transistoren) auch passive Bauelemente jedweder Art (Spulen, Kondensatoren, Widerstände etc.) zur weiteren Prozessierung des "system on a chip" integriert werden.

25 Die nach einem der erfindungsgemäßen Verfahren hergestellten Schichtenfolgen können insbesondere zur Herstellung von modulated doped Feldeffekt-Transistor

(MODFET) oder metal-oxide-semiconductor Feldeffekt-Transistor (MOSFET) herangezogen werden.

Es ist auch möglich, resonante Tunneldioden, insbesondere eine resonante Siliziumgermanium (SiGe) -  
5 Tunneldiode, herzustellen.

Weiterhin ist denkbar, einen Photodetektor aus einer der Schichtenfolgen herzustellen.

Weiterhin ist denkbar, ausgehend von einer Schichtenfolge von GaAs als zweiter abgeschiedener Schicht 7, 7'  
10 auf einer ersten epitaktischen Schicht aus Siliziumgermanium (SiGe) 2, 2', 6, 6', einen Laser herzustellen.

## Bezugszeichenliste:

1, 1' Substrat  
2, 2' Epitaktische Schicht, (z. B. Siliziumgermanium)  
5 3, 3' Shallow Trench Isolation (STI) z. B. aus SiO<sub>2</sub>  
4, 4' Photolackmaske  
5, 5' Defektbereich  
6, 6' Spannungrelaxierte Schicht aus dem Material der  
ersten epitaktischen Schicht (z. B. SiGe)  
10 7, 7' Abgeschiedene Silizium- oder SiGe- oder Viel-  
fachschicht, z. B. verspanntes Silizium  
8 Gatedielektrikum, z. B. SiO<sub>2</sub> oder alternatives  
Gatedielektrikum  
9 Metallischer Source bzw. Drainkontakt, z. B.  
15 CoSi<sub>2</sub>, NiSi, TiSi<sub>2</sub> oder andere geeignete Mate-  
rialien  
10 Polysilizium oder metallischer Gatekontakt  
11 Spacer z. B. SiO<sub>2</sub> oder/und SiN  
12 Metallischer Gatekontakt, z. B. CoSi<sub>2</sub>, NiSi  
20 13 Dotierte Source bzw. Drain-Bereiche  
14 Passivierungs- bzw. Isolationsschicht  
15, 15' Ätzgraben  
16, 16' Unverspanntes Silizium oder Siliziumgermanium  
25 (SiGe) anderer Germaniumkonzentration als gege-  
benenfalls in der Schicht 2  
17, 17' Isolator (z. B. SiO<sub>2</sub>)  
18 Versteifungsschicht

## P a t e n t a n s p r ü c h e

1. Verfahren zur Herstellung einer oder mehrerer einkristalliner Schichten mit jeweils unterschiedlicher Gitterstruktur in einer Ebene einer Schichtenfolge, umfassend

5           - ein Substrat (1, 1') sowie

10          - Isolationsbereiche (3, 3'), die von der Oberfläche in die Tiefe des Substrats (1, 1') führen, wobei

15          - nahe der Oberfläche des Substrats (1, 1') partiell mindestens ein Defektbereich (5, 5') angeordnet ist, und

20          - auf der Oberfläche des Substrats (1, 1') weiterhin zumindest partiell eine erste epitaktische Schicht (2, 2') angeordnet ist, dadurch gekennzeichnet, daß die Schichtenfolge so behandelt wird, daß nur ein Bereich (6, 6') der ersten epitaktischen Schicht (2, 2') nach der Behandlung oberhalb des Defektbereichs (5, 5') spannungsrelaxiert, wohingegen die übrigen Bereiche der ersten epitaktischen Schicht (2, 2') ihren Verspannungszustand beibehalten.

25          2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß eine thermische Behandlung oder eine Oxidation der Schichtenfolge als Behandlung oder eine Kombination aus thermischer Behandlung und Oxidation erfolgt.

3. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Ionenimplantation zur Erzeugung des Defektbereichs (5, 5') unterhalb der ersten epitaktischen Schicht (2, 2') durchgeführt wird.  
5
4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die erste epitaktische Schicht (2, 2', 6, 6') zumindest partiell entfernt wird.
- 10 5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß mindestens eine weitere, zweite epitaktische Schicht (7, 7') auf dieser Schichtenfolge ganzflächig oder lokal begrenzt abgeschieden wird.
- 15 6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Versteifungsschicht (18) auf der Schichtenfolge (7, 7') abgeschieden wird.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß eine Maske (4') auf der Versteifungsschicht (18) abgeschieden wird.  
20
8. Verfahren nach einem der Ansprüche 3 bis 7, dadurch gekennzeichnet, daß Helium als ein leichtes Ion zur Erzeugung des Defektbereichs (5, 5') gewählt wird.  
25

9. Verfahren nach einem der Ansprüche 3 bis 7,  
dadurch gekennzeichnet, daß  
für die Ionenimplantation, Wasserstoff-, Bor-,  
Phosphor-, Arsen-, Silizium-, Germanium-, Anti-  
mon-, Schwefel, Neon-, Argon- oder Xenon-Ionen zur  
Erzeugung des Defektbereichs (5, 5') verwendet  
werden.
10. Verfahren nach einem der Ansprüche 3 bis 9,  
dadurch gekennzeichnet, daß  
vor der Helium- oder Wasserstoff-Implantation eine  
Implantation z. B. mit Silizium, Germanium oder  
inerten Gasen zur Nukleation von Helium- oder Was-  
serstoffbläschen durchgeführt wird.
11. Verfahren nach einem der vorhergehenden Ansprüche,  
gekennzeichnet durch  
Erzeugung eines silicon on insulator (SOI)-  
Substrats.
12. Verfahren nach einem der vorhergehenden Ansprüche,  
gekennzeichnet durch  
Silizium als Substrat (1, 1').
13. Verfahren nach einem der Ansprüche 1 bis 11,  
gekennzeichnet durch  
Siliziumgermanium (SiGe), SiC, Saphir oder einem  
oxidischen Perovskit als Substrat (1, 1').
14. Verfahren nach einem der vorhergehenden Ansprüche,  
gekennzeichnet durch

Siliziumgermanium (SiGe) als Material der ersten epitaktischen Schicht (2, 2', 6, 6').

15. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Germanium-Konzentration in Siliziumgermanium-(SiGe)-Schichten variiert werden kann.
16. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch Verbindungshalbleiter der III-V-Gruppe, der III-V-Nitride (AlN, GaN, oder InN) oder der II-VI-Gruppe des Periodensystems, oder oxidische Perovskite als Material der ersten epitaktischen Schicht (2, 2', 6, 6').
17. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch shallow trench Isolationen (STI), deep trench isolationen oder LOCOS als Isolationsbereiche (3, 3').
18. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als zweite epitaktische Schicht (7, 7') eine Silizium-, Siliziumgermanium (SiGe)- oder Germaniumschicht oder eine Mehrfachschicht ganzflächig oder selektiv abgeschieden wird.
19. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß im Falle von Siliziumgermanium (SiGe) als zweiter

epitaktischer Schicht (7, 7') auf Siliziumgermanium (SiGe) als erster epitaktischer Schicht (6, 6') die Germaniumkonzentration der Schicht (7, 7') höher ist als in der Schicht (6, 6') .

5 20. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Wannen-Implantationen für die Bauelementherstellung und die Defektilplantation für die Spannungsrelaxation mit der selben Maske durchgeführt wird.

10

15 21. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ausgewählte Isolationsbereiche (3, 3') zumindest bis in die Tiefe der ersten epitaktischen Schicht (2, 2', 6, 6') insbesondere durch Ätzung, entfernt werden.

20

22. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die erste epitaktische Schicht (2, 2', 6, 6') zumindest lokal entfernt wird, um verspanntes Silizium auf „nothing“ - (silicon on nothing, SON) zu erzeugen.

25

23. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die aus der ersten epitaktischen Schicht (2, 2', 6, 6') entfernten Bereiche mit einem Isolator 17, 17' aufgefüllt werden, um silicon on insulator (SOI) zu erzeugen.

24. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Schichtenfolge planarisiert wird.
25. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß an verspannten Silizium-Bereichen (7, 7') n-MOSFETs prozessiert werden.
- 10 26. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß an verspannten Siliziumgermanium- (SiGe) -Bereichen (2, 2', 7, 7') p-MOSFETs prozessiert werden.
27. Verfahren nach einem der vorhergehenden Ansprüche, bei dem Ätzgräben in der Tiefe der Schichten hergestellt werden.
- 15 28. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet daß, nach Herstellung der Ätzgräben eine Relaxation von Schichten, insbesondere durch Temperaturbehandlung herbeigeführt wird.
- 20 29. Bauelement mit einer oder mehreren nach einem der Verfahren nach einem der Ansprüche 1 bis 28 hergestellten Schichten.
30. Transistor, insbesondere modulated doped Feldeffekt-Transistor (MODFET) oder metal-oxide-semiconductor Feldeffekt-Transistor (MOSFET) als Bauelement nach Anspruch 29.

31. Resonante Tunneldiode, insbesondere resonante Siliziumgermanium (SiGe)-Tunneldiode als Bauelement nach Anspruch 29.
32. Photodetektor als Bauelement nach Anspruch 29.
- 5 33. Laser als Bauelement nach Anspruch 29.

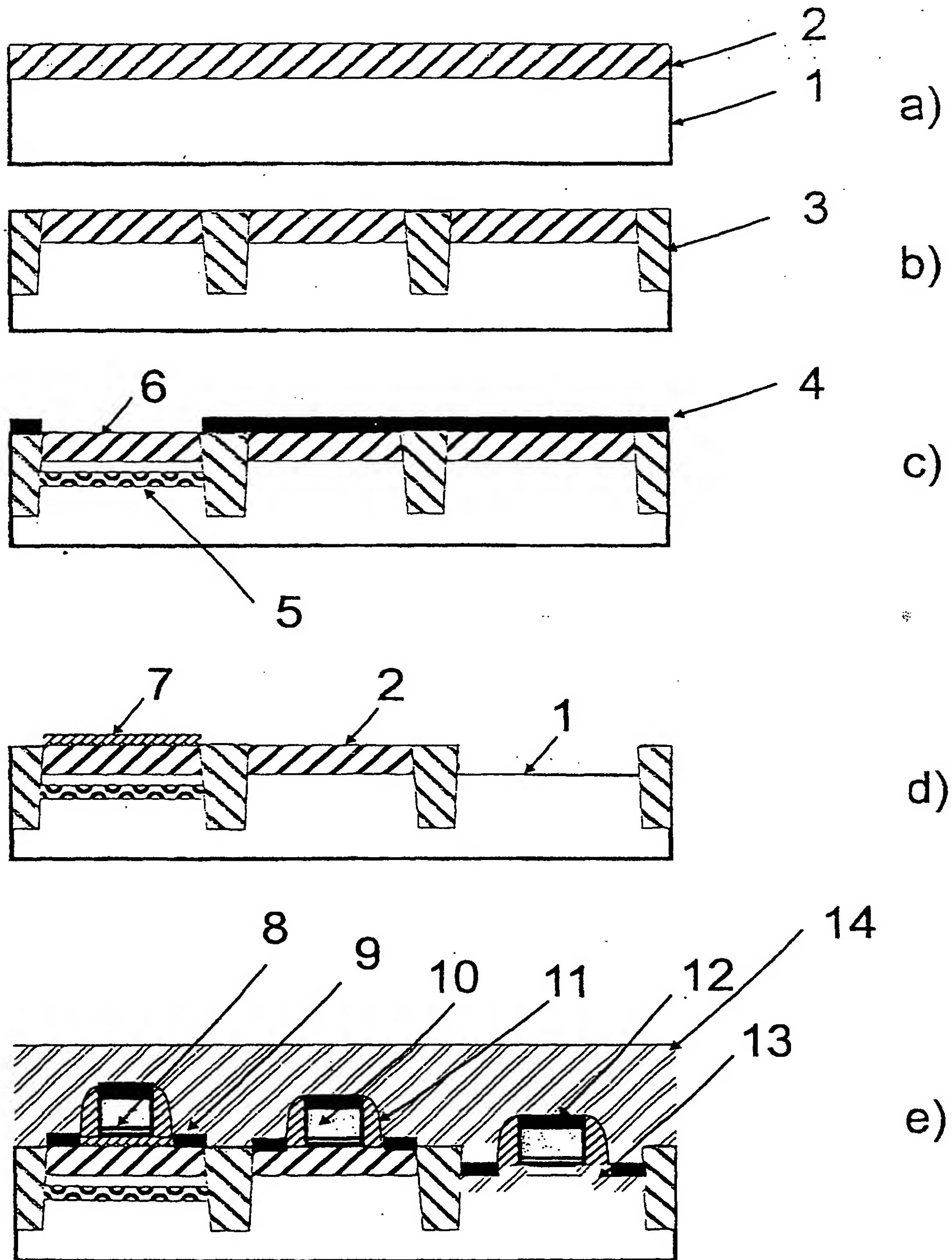


Fig. 1

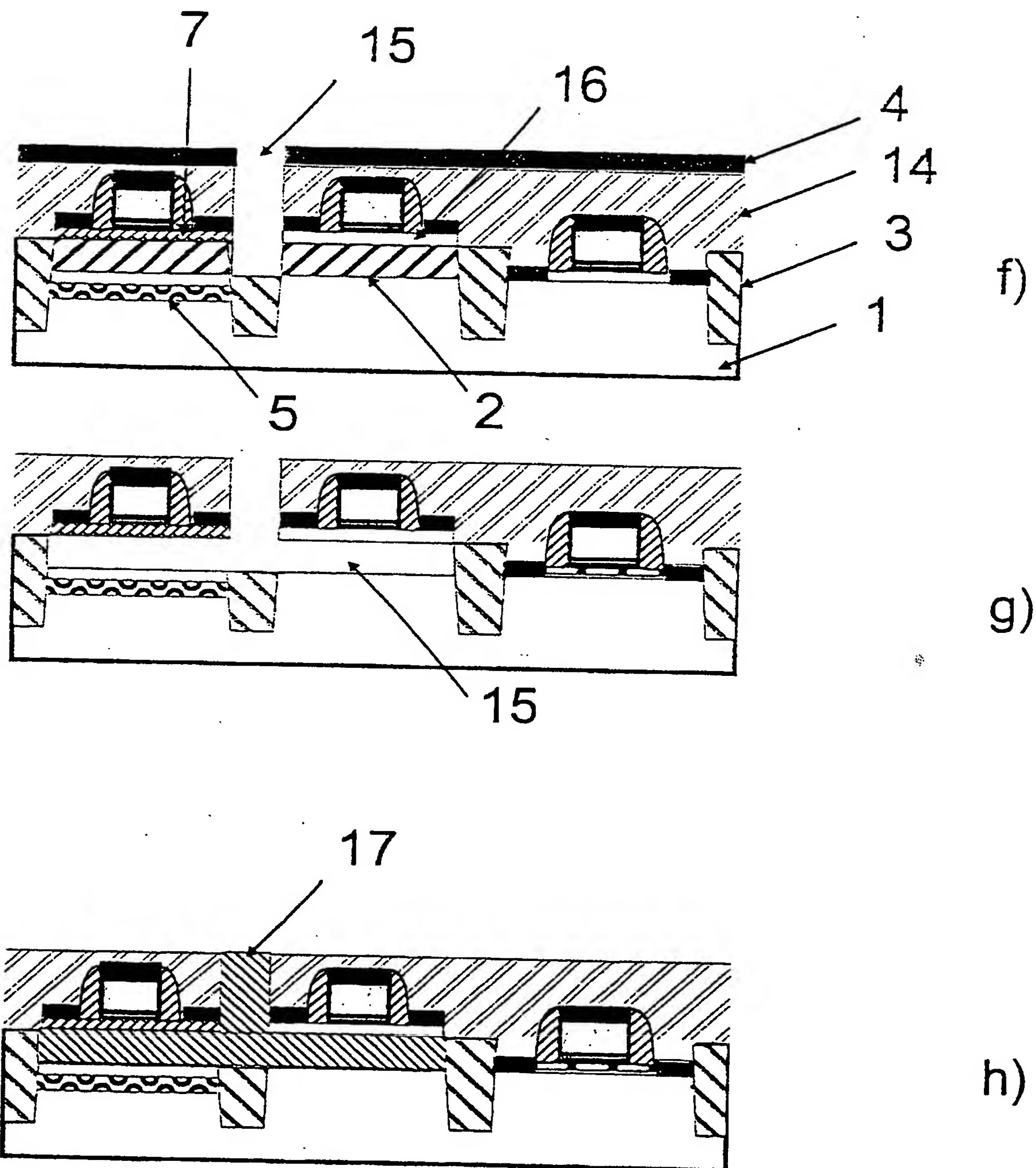


Fig. 1

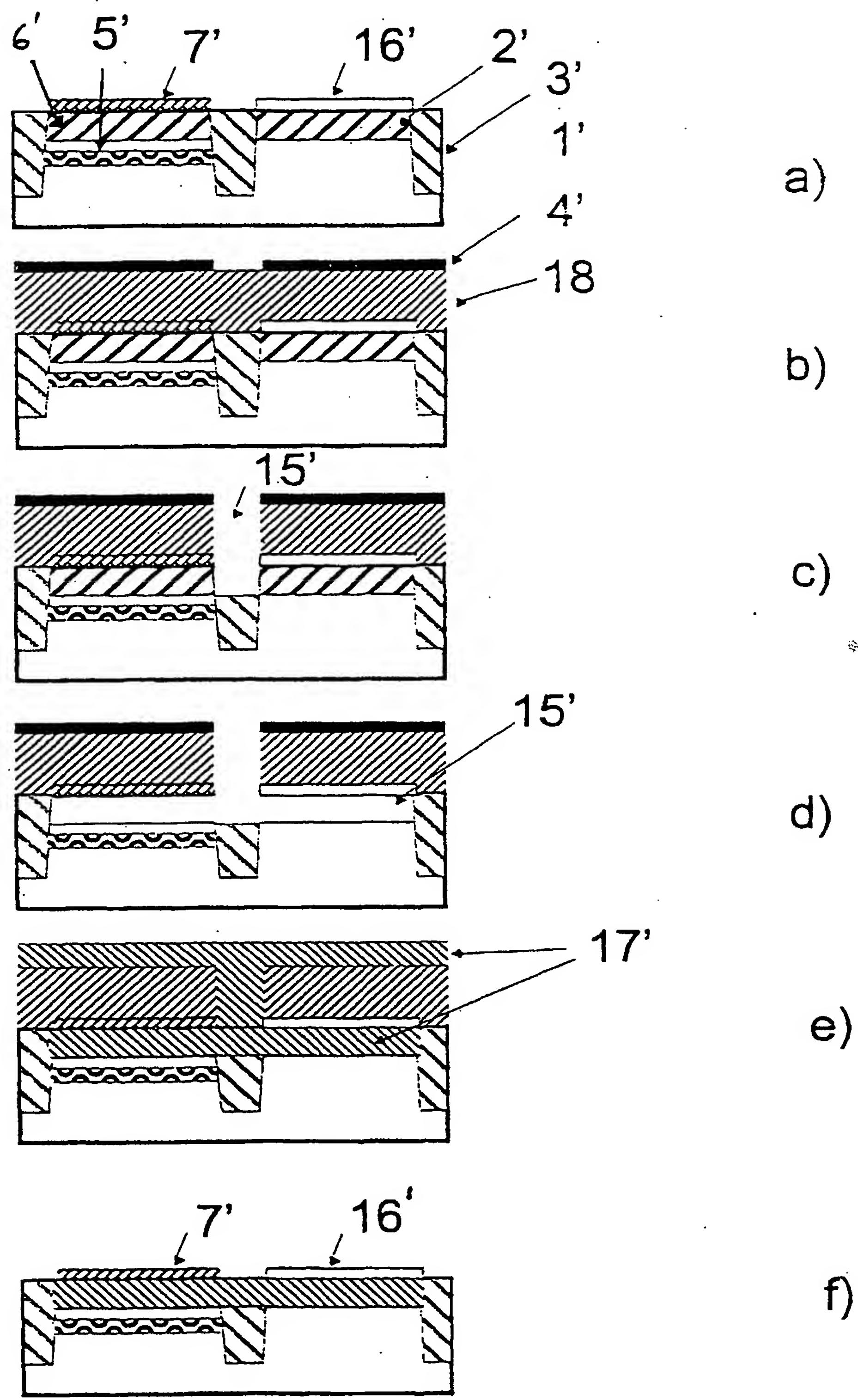


Fig. 2

THIS PAGE BLANK (USPTO)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
6. November 2003 (06.11.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2003/092058 A3**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/20**

32B, 51467 Bergisch Gladbach (DE). ZHAO, Quing-Tai  
[CN/DE]; Gerberstrasse 2, 52428 Jülich (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/001315

(74) Gemeinsamer Vertreter: **FORSCHUNGSZENTRUM  
JÜLICH GMBH**; Fachbereich Patente, 52425 Jülich  
(DE).

(22) Internationales Anmelddatum:  
22. April 2003 (22.04.2003)

(81) Bestimmungsstaaten (national): CA, CN, JP, SG, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,  
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
102 18 381.3 24. April 2002 (24.04.2002) DE

**Veröffentlicht:**

— mit internationalem Recherchenbericht  
— vor Ablauf der für Änderungen der Ansprüche geltenden  
Frist; Veröffentlichung wird wiederholt, falls Änderungen  
eintreffen

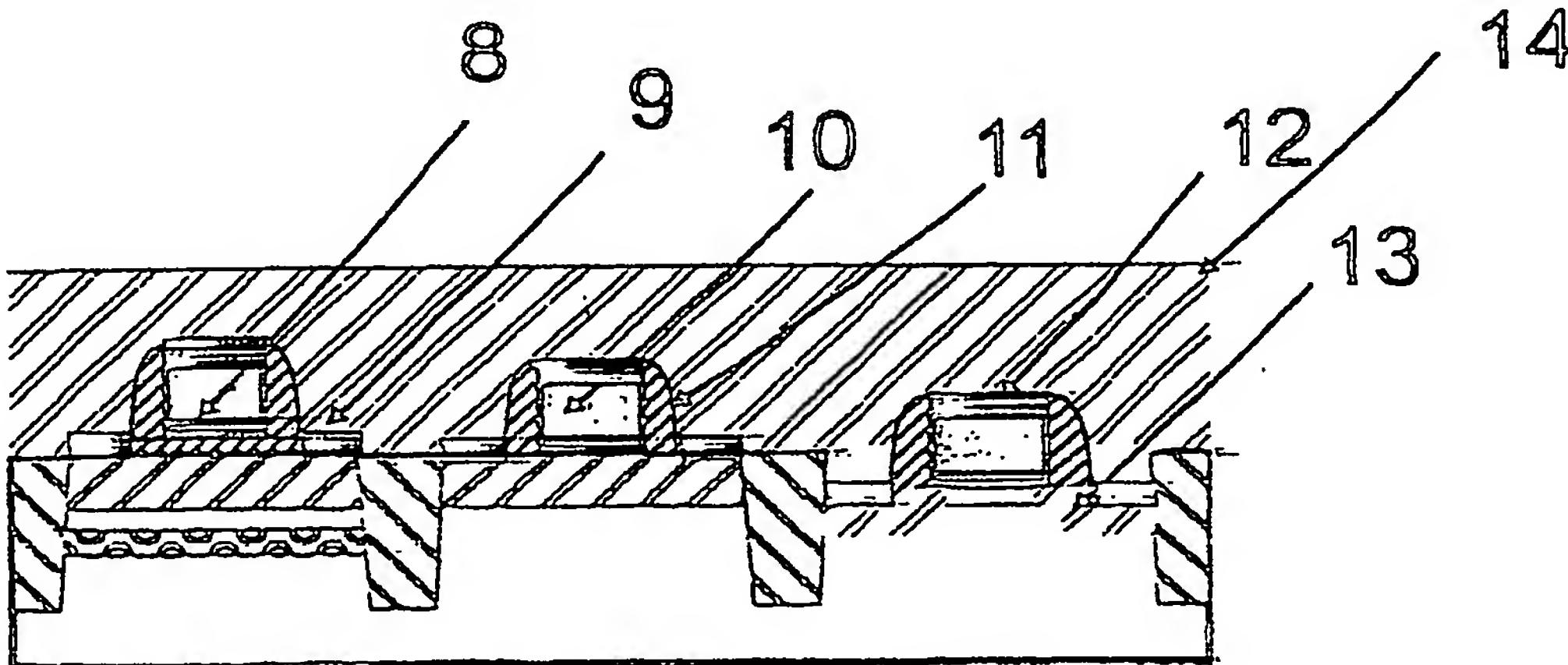
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme  
von US): **FORSCHUNGSZENTRUM JÜLICH GMBH**  
[DE/DE]; Whihelm-Johnen-Strasse, 52425 Jülich (DE).

(88) Veröffentlichungsdatum des internationalen  
Recherchenberichts: 29. Januar 2004

*[Fortsetzung auf der nächsten Seite]*

(54) Title: METHOD FOR PRODUCING ONE OR MORE MONOCRYSTALLINE LAYERS, EACH WITH A DIFFERENT LAT-  
TICE STRUCTURE, ON ONE PLANE OF A SERIES OF LAYERS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER ODER MEHRERER EINKRISTALLINER SCHICHTEN MIT  
JEWEILS UNTERSCHIEDLICHER GITTERSTRUKTUR IN EINER EBENE EINER SCHICHTENFOLGE



(57) Abstract: The invention relates to a method for producing one or more monocrystalline layers, each with a different lattice structure, on one plane, for an electronic component, in order to produce a system on a chip. The invention also relates to a component containing one or more layers of this type, such as MOSFETs, MODFETs, resonant tunnel diodes and/or photodetectors.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung einer oder mehrerer einkristalliner Schichten mit jeweils unterschiedlicher Gitterstruktur in einer Ebene für ein elektronisches Bauelement zur Herstellung eines System an a chip. Des weiteren betrifft die Erfindung ein eine oder mehrere solcher Schichten enthaltende Bauelemente, wie MOSFETs, MODFETs, resonante Tunneldioden und / oder Photodetektoren.

**WO 2003/092058 A3**



*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

## INTERNATIONAL SEARCH REPORT

Internat Application No  
PCT/DE 03/01315A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L21/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, INSPEC, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 871 690 A (BURNHAM ROBERT D ET AL) 3 October 1989 (1989-10-03) column 3, line 49 -column 4, line 64 column 5, line 30 - line 66; figures 1,3 -/-	1-33

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

## \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&\* document member of the same patent family

Date of the actual completion of the international search

14 November 2003

Date of mailing of the International search report

02/12/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Micke, K

## INTERNATIONAL SEARCH REPORT

Intern: Application No

PCT, US/01315

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	HOLLANDER B ET AL: "Substrate engineering by hydrogen or helium implantation for epitaxial growth of lattice mismatched Si/sub 1-x/Ge/sub x/ films on silicon" 2000 INTERNATIONAL CONFERENCE ON ION IMPLANTATION TECHNOLOGY PROCEEDINGS. ION IMPLANTATION TECHNOLOGY - 2000 (CAT. NO.00EX432), 2000 INTERNATIONAL CONFERENCE ON ION IMPLANTATION TECHNOLOGY PROCEEDINGS. ION IMPLANTATION TECHNOLOGY - 2000, ALPBACH, AUS, pages 326-329, XP010543075 2000, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-6462-7 the whole document ---	1-33
A	DE 198 02 977 A (KERNFORSCHUNGSSANLAGE JUELICH) 29 July 1999 (1999-07-29) cited in the application the whole document ---	1-33
A	PATENT ABSTRACTS OF JAPAN vol. 2002, no. 07, 3 July 2002 (2002-07-03) -& JP 2002 094060 A (INTERNATL BUSINESS MACH CORP), 29 March 2002 (2002-03-29) abstract -& US 6 429 061 B1 (RIM KERN) 6 August 2002 (2002-08-06) the whole document ---	1-33
A	US 5 225 368 A (DODSON BRIAN W) 6 July 1993 (1993-07-06) column 3, line 6 -column 4, line 29; figures 1-4 ---	1-33
P,A	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 03, 5 May 2003 (2003-05-05) -& JP 2002 343880 A (SHARP CORP), 29 November 2002 (2002-11-29) abstract paragraph '0009! - paragraph '0028!; figures 1-4 -----	1-33

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 03/01315

Patent document cited in search report	Publication date		Patent family member(s)	Publication date
US 4871690	A	03-10-1989	DE 3785859 D1 DE 3785859 T2 EP 0231075 A2 JP 1801794 C JP 5005392 B JP 62173792 A	24-06-1993 26-08-1993 05-08-1987 12-11-1993 22-01-1993 30-07-1987
DE 19802977	A	29-07-1999	DE 19802977 A1 WO 9938201 A1 EP 1051740 A1 US 6464780 B1	29-07-1999 29-07-1999 15-11-2000 15-10-2002
JP 2002094060	A	29-03-2002	US 6429061 B1 CN 1348210 A TW 518723 B	06-08-2002 08-05-2002 21-01-2003
US 5225368	A	06-07-1993	NONE	
JP 2002343880	A	29-11-2002	NONE	

# INTERNATIONALER RECHERCHENBERICHT

Internat. Kennzeichen  
PCT/DE 03/01315

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/20

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole )  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, INSPEC, WPI Data

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 4 871 690 A (BURNHAM ROBERT D ET AL) 3. Oktober 1989 (1989-10-03) Spalte 3, Zeile 49 -Spalte 4, Zeile 64 Spalte 5, Zeile 30 - Zeile 66; Abbildungen 1,3 ---- -/-	1-33

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- \*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- \*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldeatum veröffentlicht worden ist
- \*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- \*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- \*P\* Veröffentlichung, die vor dem internationalen Anmeldeatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- \*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldeatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- \*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- \*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist
- \*&\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
14. November 2003	02/12/2003
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Micke, K

## INTERNATIONALER RECHERCHENBERICHT

Internati

ktenzeichen

PCT/DE 03/01315

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie <sup>a</sup>	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	HOLLANDER B ET AL: "Substrate engineering by hydrogen or helium implantation for epitaxial growth of lattice mismatched Si <sub>1-x</sub> Ge <sub>x</sub> films on silicon" 2000 INTERNATIONAL CONFERENCE ON ION IMPLANTATION TECHNOLOGY PROCEEDINGS. ION IMPLANTATION TECHNOLOGY - 2000 (CAT. NO.00EX432), 2000 INTERNATIONAL CONFERENCE ON ION IMPLANTATION TECHNOLOGY PROCEEDINGS. ION IMPLANTATION TECHNOLOGY - 2000, ALPBACH, AUS, Seiten 326-329, XP010543075 2000, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-6462-7 das ganze Dokument ---	1-33
A	DE 198 02 977 A (KERNFORSCHUNGSSANLAGE JUELICH) 29. Juli 1999 (1999-07-29) in der Anmeldung erwähnt das ganze Dokument ---	1-33
A	PATENT ABSTRACTS OF JAPAN vol. 2002, no. 07, 3. Juli 2002 (2002-07-03) -& JP 2002 094060 A (INTERNATL BUSINESS MACH CORP), 29. März 2002 (2002-03-29) Zusammenfassung -& US 6 429 061 B1 (RIM KERN) 6. August 2002 (2002-08-06) das ganze Dokument ---	1-33
A	US 5 225 368 A (DODSON BRIAN W) 6. Juli 1993 (1993-07-06) Spalte 3, Zeile 6 -Spalte 4, Zeile 29; Abbildungen 1-4 ---	1-33
P,A	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 03, 5. Mai 2003 (2003-05-05) -& JP 2002 343880 A (SHARP CORP), 29. November 2002 (2002-11-29) Zusammenfassung Absatz '0009! - Absatz '0028!; Abbildungen 1-4 -----	1-33

## INTERNATIONALER RECHERCHENBERICHT

Internat

enzeichen

PCT/DE 03/01315

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 4871690	A	03-10-1989	DE	3785859 D1		24-06-1993
			DE	3785859 T2		26-08-1993
			EP	0231075 A2		05-08-1987
			JP	1801794 C		12-11-1993
			JP	5005392 B		22-01-1993
			JP	62173792 A		30-07-1987
DE 19802977	A	29-07-1999	DE	19802977 A1		29-07-1999
			WO	9938201 A1		29-07-1999
			EP	1051740 A1		15-11-2000
			US	6464780 B1		15-10-2002
JP 2002094060	A	29-03-2002	US	6429061 B1		06-08-2002
			CN	1348210 A		08-05-2002
			TW	518723 B		21-01-2003
US 5225368	A	06-07-1993		KEINE		
JP 2002343880	A	29-11-2002		KEINE		